

某型 N 沟道 MOSFET 场效应晶体管设计

陈飞

贵州航天控制技术有限公司, 贵州 贵阳 550009

摘要 : 集成电路在各行各业发挥着重要作用, 近几年随着集成电路的快速发展, 电路、芯片的精密可靠及低功耗的需求日益提升, 对新型功率半导体器件的功率密度和可靠性的要求越来越高。本文设计某型 N 沟道 MOSFET 场效应晶体管, 采用沟槽工艺设计, 将栅极埋入基体中, 形成垂直的沟槽, 栅极小, 寄生电容小, 为 N 沟道增强型 MOSFET, 与同电压等级的普通沟槽栅 MOSFET 相比, 导通电阻要低得多, 因此在功率密度上占有很大的优势。该系列 MOS 管具备快速开关、低导通电阻、大导通电流和高工作结温的特点。

关键词 : 寄生电容; MOSFET; 电学特性

Design Of A N-Channel Mosfet Field Effect Transistor

Chen Fei

Guizhou Aerospace Control Technology Co., LTD., Guizhou Guiyang 550009

Abstract : Integrated circuits play an important role in all walks of life. In recent years, with the rapid development of integrated circuits, the demand for precision, reliability and low power consumption of circuits and chips is increasing, and the demand for power density and reliability of new power semiconductor devices is getting higher and higher. In this paper, a type of N-channel MOSFET field-effect transistor is designed using the channel technology, the gate is buried in the matrix to form a vertical groove, the gate is small, the parasitic capacitance is small, for the N-channel enhanced MOSFET, compared with the ordinary channel gate MOSFET with the same voltage level, the on-resistance is much lower, so it has a great advantage in power density. This series of MOS tube has the characteristics of fast switching, low on-resistance, large on-current and high junction temperature.

Key words : parasitic capacitance; mosfet; electrical characteristics

一、引言

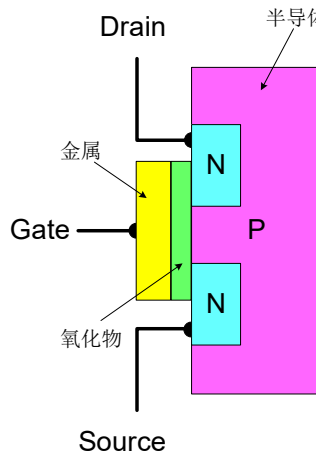
本文设计型 N 沟道 MOSFET 场效应晶体管, 采用沟槽工艺设计, 为 N 沟道增强型 MOSFET。该系列 MOS 管具备快速开关、低导通电阻、大导通电流和高工作结温的特点。能广泛应用于新能源智能装备、电机功率驱动器等领域^[1]。

二、MOSFET 场效应晶体管设计

(一) 设计方案

MOSFET 的核心是由金属-氧化物-半导体结构形成的 MOS 电容。当 MOS 电容两端外加电压时, 氧化物-半导体界面附近的半导体能带发生弯曲。在氧化层-半导体界面处导带和价带相对于费米能级的位置与 MOS 电容上所加电压有关, 因此通过施加适当的偏置电压, 半导体表面的特性可以从 P 型转变为 N 型, 也可以从 N 型转变为 P 型。

N 沟道增强型 MOS 管在 P 型半导体上生成一层 SiO₂ 薄膜绝缘层, 然后用光刻工艺扩散两个高掺杂的 N 型区, 从 N 型区引出电极 (漏极 Drain、源极 Source), 在源极和漏极之间的 SiO₂ 绝缘层上镀一层金属铝作为栅极 Gate。如图 1 所示。



> 图 1 N 沟道 MOSFET

当栅极和源极之间不加任何电压时 ($V_{GS}=0$), 由于漏极和源极两个 N+ 型区之间间隔有 P 型衬底, 相当于两个背靠背连接的 PN 结, 即 D、S 之间不具备导电的沟道, 在漏、源极之间施加正向电压, MOS 管产生的漏极电流 I_D 很小, MOS 管处于截止区。

将衬底与源极短接, 在栅极和源极之间加正电压, 即 $V_{GS} > 0$ 时, 则在栅极与衬底之间产生一个由栅极指向衬底的电场。在这

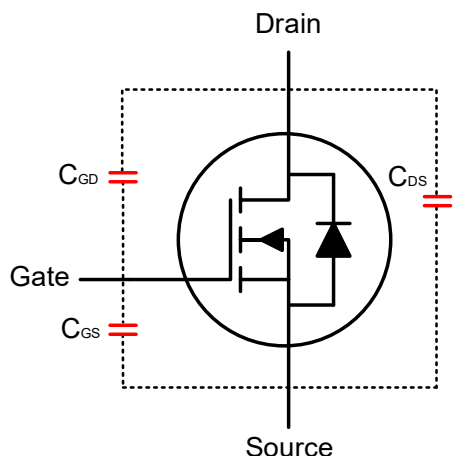
* 作者简介: 陈飞 (1981), 男, 布依族, 贵州省平塘县, 高级工程师, 大学本科学士学位, 主要从事软件、芯片研究。

个电场的作用下，P 衬底表面附近的空穴受到排斥将向下方运动，电子受电场的吸引向衬底表面运动，与衬底表面的空穴复合，形成了一层耗尽层。当 V_{GS} 达到开启电压 $V_{GS}(TH)$ 时，P 衬底表面中空穴全部被排斥和耗尽，而自由电子大量地被吸引到表面层，形成自由电子为多子的 N 型层（反型层）。

当 $V_{GS} > V_{GS}(TH)$ ，在漏极 D 和源极 S 之间加上正电压 V_{DS} ，导电电流由漏区流向源区。由于电阻效应，沟道各点的电位沿沟道由漏区到源区逐渐减小，靠近漏区一端的电压 V_{GD} 最小 ($V_{GS} - V_{DS}$)，沟道最薄；靠近源区一端的电压最大 (V_{GS})，相应的沟道最厚，整个沟道呈倾斜状（非饱和区），随着 V_{DS} 的增大，靠近漏区一端的沟道越来越薄。

当 $V_{DS} \geq V_{GS} - V_{GS}(TH)$ ，沟道出现夹断区，且夹断点随 V_{DS} 的增强向源极方向移动，在夹断区内形成较强的电场沟道电子沿沟道从源极流向夹断区，当电子到达夹断区边缘时，受夹断区强电场的作用，会很快的漂移到漏极，MOS 管进入饱和区^[2]。

从 MOSFET 的结构中可以看到，在 GS 、 GD 之间存在寄生电容，而 MOS 管的驱动，理论上就是对输入电容 C_{iss} 充放电。 C_{oss} 输出电容可能引起电路的谐振，反向传输电容 C_{rss} 也做米勒电容，对于开关的上升和下降时间来说是其中一个重要的参数，还影响关断延时时间。



> 图2 MOSFET 寄生电容

根据封装尺寸要求，芯片面积应小于 $4mm \times 4mm$ 。除去终端和 PAD 区尺寸，且为电容设计留足够余量，将有源区面积上限定为 $12mm^2$ 。

比导的指标为：

$$R_{ON,SP}(V_G = 10V) = R_{ON} \times S = 0.0044\Omega \times 12mm^2 = 0.0528\Omega \cdot mm^2$$

元胞单位面积电容的指标为：

$$\Delta C_{iss} = 5850 pF / 12e6 = 4.87e-16 F$$

$$\Delta C_{oss} = 1070 pF / 12e6 = 8.92e-17 F$$

$$\Delta C_{rss} = 45 pF / 12e6 = 3.75e-18 F$$

(二) 设计方法

采用正向设计的方法：产品参数定义→确定工艺流程→元胞结构设计→元胞结构仿真→电学特性仿真→Baseline 拉偏仿真→版图布局→物理规则检查→tapout。

根据产品功能划分内部模块，对模块进行规格及参数定义，

设计过程中需要对模块的功能及参数进行仿真，仿真要充分覆盖全部工艺角。模块仿真通过后对整体进行系统仿真，仿真要求覆盖全部规格定义的参数指标，同时需要在全部工艺角下通过仿真。最大限度在设计阶段保证芯片设计可以满足芯片的规格需求^[3]。

(三) 工艺流程

沟道增强型 MOSFET 的工艺流程如下表所示。

表 1 工艺流程

阶段	工艺步骤	掩模版
初始	衬底	
	外延生长	
	元胞宽度、面积	
沟槽	淀积硬掩模	
	沟槽刻蚀	Trench
	去除硬掩模	
沟槽场氧 (FOX)	热生长氧化层	
屏蔽栅	淀积多晶硅	
	CMP	
	刻蚀多晶硅	POLYO
HDP	淀积氧化层	
	CMP	
	刻蚀氧化层	
	热过程	
栅氧化层	热生长栅氧化层	
控制栅	淀积多晶硅	
	刻蚀多晶硅	
	Poly Anneal	
Body (PW) 注入	保留 PW 氧化层	
	第一次注入	
	第二次注入	
Source(SN) 注入	保留 SN 氧化层	
	SN 注入	NPLUS
	激活	
BPSG	淀积氧化层	
CT	刻蚀氧化层、硅和屏蔽栅多晶硅	CT
	孔注 1	
	孔注 2	
	激活	
Metal	淀积金属	
	刻蚀金属	METAL
钝化层	钝化	PA PLYMD

(四) 元胞结构参数

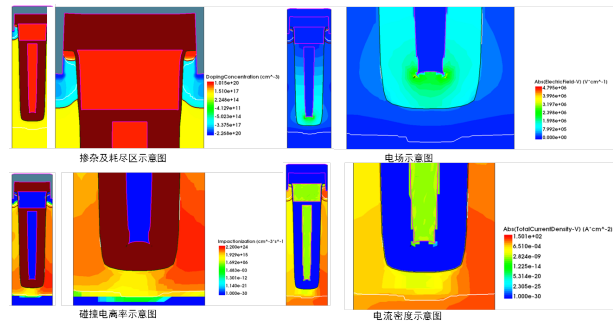
元胞设计的结构参数如下表所示。

表2 元胞结构参数

元胞宽度	2.5 um
外延厚度	9 μm
外延电阻率	2.0/4.0 Ω · cm ⁻¹
预氧厚度	520 nm
Trench 宽度	1.15 um
Trench 深度	6 um
侧壁栅氧化层厚度	60 nm
底部栅氧化层厚度	200nm
Pbody1 注入剂量	3.5e12
Pbody12 注入剂量	1.5e13
Pbody1 注入能量	60keV
Pbody 注入能量	120keV
Pbody 推结温度 / 时间	1050°C /60min
NSD 注入剂量	1e15
NSD 注入能量	60keV
NSD 推结温度 / 时间	950°C /30min
PSD 两次注入剂量	4e15、5e13
PSD 两次注入能量	20keV、35keV
接触孔刻蚀深度	0.40um
接触孔刻蚀宽度	0.15um

(五) 电学特性仿真

耗尽区、电场及碰撞电离率图示（耗尽区图示展示器件外延层未全部耗尽，故外延层厚度对击穿电压应几乎无影响；电场集中于 trench 底部拐角及 trench 底部栅氧处；碰撞电离率最高点则主要位于 trench 底部拐角处，故器件不存在穿通现象）。



> 图3 电学特性仿真图

仿真用到的栅电阻为 1.8Ω。在该仿真条件下，仿真用到的栅电阻为 1.8Ω。在该仿真条件下，仿真结构的开启关断特性如下表所示。

表3 开关特性仿真测试表

测试电路		测试波形			
测试条件: $V_{ds}=40V/V_{in}=-10V/R_L=3.2\Omega/R_g=1\Omega$					
Tdon: $V_{gs}=1V(10\%) \rightarrow V_{ds}=90V(90\%)$ Tr: $V_{ds}=90V(90\%) \rightarrow V_{ds}=10V(10\%)$ Tdoff: $V_{gs}=9V(90\%) \rightarrow V_{ds}=10V(10\%)$ Tf: $V_{ds}=10V(10\%) \rightarrow V_{ds}=90V(90\%)$					
参数	td(on)	tr	td(off)	tf	
仿真	16ns	41ns	50 ns	36 ns	

Baseline 拉偏仿真汇总如下表所示。

表4 拉偏仿真测试表

仿真结果												
电学特性	要求	Spilt1	Spilt2	Spilt3	Spilt4	Spilt5	Spilt6	Spilt7	Spilt8	Spilt9	Spilt10	
	Vth_250uA	2.3-3.3/V	2.4	2.42	2.46	2.55	2.78	2.73	2.42	2.43	2.41	1.92
	BV	100/V	105.5	105.8	103.6	105.5	104.5	105.3	105.9	105.9	105.5	98
	Ron, sp@Vg10	52.8/mΩ · mm ²	47.8	47.1	47.3	46	50.4	48	47.4	49.1	49.1	52.6

Target BV	THK9+Oxide0.3													
Epi Depth \ Epi Dose	Epi Depth 6.2um+2.8um					Epi Depth 6um+3um					Epi Depth 5.8um+3.2um			
	ρ of Epi1	ρ of Epi2	BV	Rsp ($m\Omega \cdot mm^2$)	Cgd (pF)	Qg (nC)	BV	Rsp ($m\Omega \cdot mm^2$)	Cgd (pF)	Qg (nC)	BV	Rsp ($m\Omega \cdot mm^2$)	Cgd (pF)	Qg (nC)
1 0 0	0.37	0.14	105.43	47.7	45.56	14.80	87.33	47.3	45.64	14.80	105.57	46.8	45.66	14.80
		0.15	1066.77	48.4	45.75	14.80	86.09	47.9	45.84	14.80	104.77	47.5	45.91	14.80
		0.16	105.43	49.0	47.47	14.80	84.89	48.6	47.85	14.80	103.74	3.51	48.07	14.80
	0.38	0.14	108.85	48.1	45.57	14.80	87.96	47.6	45.65	14.80	105.99	47.1	45.66	14.80
		0.15	107.38	48.7	45.72	14.80	86.66	48.2	45.84	14.80	105.24	47.8	45.92	14.80
		0.16	106.03	49.3	47.43	14.80	85.46	48.9	47.86	14.80	104.29	484	48.06	14.80
	0.39	0.14	109.62	48.8	45.53	14.80	88.55	47.9	45.63	14.80	106.65	47.8	45.70	14.80
		0.15	88	2.61	45.71	14.80	87.28	48.6	45.85	14.80	85.93	48.1	45.89	14.80
		0.16	86.76	2.70	47.44	14.80	86.12	49.2	47.84	14.80	84.83	49.2	48.04	14.80

Baseline 拉偏总结:

外延电阻率对击穿电压、密勒电容影响较大，当外延电阻率向下减小 15%，击穿电压仍大于目标值 100V。

trench 深度对密勒电容和输入电容影响较大，当 trench 深度向上增加 15% 时，在 trench 深度和外延电阻率的共同作用下，密勒电容超标。

栅氧化层厚度和注入剂量会共同影响器件的阈值电压和输入电容，当栅氧厚度和注入剂量共同向下减小 15% 时，阈值电压会小于要求的最小值；当 trench 深度和输入剂量向上增加 15% 且栅氧厚度向下减小 15% 时，输入电容超标。

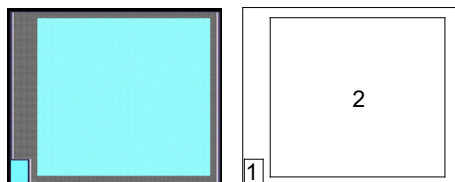
从电学仿真数据来看，仿真元件的电学参数均满足设计要求。如下表所示。

表5 电学参数表

		BV/V	Vth/V	Ron / $m\Omega$ (Vg=10V)	Ron,sp / $\Omega \cdot mm^2$ (Vg=10V)	Ciss/ pF	Coss / pF	Crss / pF
指标	Min	100	2.3					
	Type		2.8					
	Max		3.3	4.4	0.0528	6000	1100	50
仿真		105	2.78	4.2	0.047	5127	1027	48

(六) 版图设计

本产品采用华润微的 MOSFET 工艺库的模型开展了版图设计工作，最终芯片尺寸为 3900um × 3200um，版图如图 4 所示。



>图4 芯片版图

三、总结

本文对 N 沟道 MOSFET 开展了原理设计、仿真验证和版图设计工作，满足预期设计指标要求。

参考文献:

[1] 宋嘉强. 互补型及场调制型隧穿场效应晶体管研究 [D]. 西安电子科技大学. 2023.
 [2] 李骏康. 高性能低功耗锗沟道场效应晶体管技术的研究 [D]. 浙江大学. 2021.
 [3] 蔡晶晶. 隧穿场效应晶体管的集成研究 [D]. 安徽大学. 2021.
 [4] 钟兴宏. 隧穿场效应晶体管的仿真研究 [D]. 湘潭大学, 2016.
 [5] 刘葳. 高开关电流比隧穿场效应晶体管器件机理与结构研究 [D]. 电子科技大学, 2016.
 [6] 宋嘉强. 互补型及场调制型隧穿场效应晶体管研究 [D]. 西安电子科技大学, 2022.
 [7] 龙尚林. 新型环栅隧穿场效应晶体管的结构设计与性能优化 [D]. 北京邮电大学, 2021.
 [8] 张蒙. 多环隧穿场效应晶体管及其逻辑门电路优化设计 [D]. 华东师范大学, 2022.
 [9] 郭蒙敏. L型隧穿场效应晶体管的陷阱效应研究和结构优化 [D]. 西安电子科技大学, 2020.
 [10] 熊承诚. 隧穿场效应晶体管的器件结构优化及设计研究 [D]. 华东师范大学, 2022.