

典型3D封装器件内部金凸点开裂分析

赵永志, 张震, 柳溪溪

中国电子科技集团公司第十三研究所, 河北 石家庄 050000

摘要 : 将某型号3D封装器件作为研究对象, 对其电性能异常现象做了定位分析; 通过对器件研磨观测, 确认了金凸点的失效界面; 对失效界面进行FIB成像观测, 证明底部填充胶界面无异常; 建立产品有限元仿真模型, 对其回流焊过程应力进行仿真计算, 排除了产品结构问题; 通过仿真及实验验证了产品在后续使用过程中因板材的翘曲造成了金凸点应力集中, 最后给出了优化方案。

关键词 : 金凸点; 底部填充; 堆叠

Cracking Analysis of Gold bumps inside a Typical 3D Packaged Device

Zhao Yongzhi, Zhang Zhen, Liu Xixi

13th Research Institute of China Electronics Technology Group Corporation, Shijiazhuang, Hebei 050000

Abstract : A certain model of 3D packaged device was used as a research object and its electrical anomalies were localized and analyzed. Failure interface of gold bumps were observed by grinding of device samples. Observation of FIB imaging of the failure interface demonstrates no anomalies at the bottom filler gel interface. It established a finite element simulation model of the product and simulating the stresses of the heat reflow process to exclude the structural problems of the product. Through simulation and experimentation, it was verified that the stress concentration at the gold bump was caused by the warping of the plate during the subsequent use of the product. Finally the solution was given.

Keywords : gold bump; underfill; stacking

引言

现代电子产品向着轻小型化方向快速发展, 对封装集成度提出了更高的要求。3D堆叠技术是解决高集成度封装的主要技术方案^[1]。采用垂直互连凸点代替传统键合引线, 极大缩小了器件封装面积, 有效提升了封装集成度。

随着集成度的提升, 电子产品的内部结构更加复杂, 其在工作过程因环境的变化可能会呈现多种失效形式^[2]。如3D堆叠产品, 其内部存在成百上千个凸点, 任一凸点的断裂都会导致整个产品的失效。如何对产品后续使用环境做有效评估以及对产品做失效分析是当前高集成度电子产品所面临的难题^[3-4]。

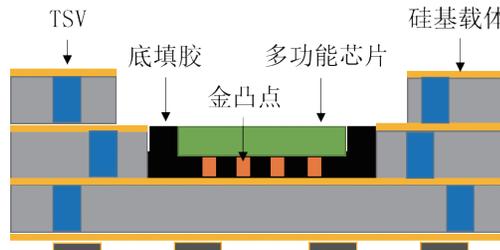
本文以某典型3D封装电子器件为例, 对其电性能失效原因进行了分析定位, 给出了产品后续使用过程中的优化方案, 对3D封装产品失效分析有一定的指导意义。

一、产品信息

图1为某工程应用的3D封装器件, 其以多层硅晶圆作为芯片封装载体, 层间硅基通过TSV孔实现垂直互连。多功能芯片通过金凸点倒装的方式装入硅基管壳内。倒装芯片层间通过底部填充胶进行加固^[5]。硅基载体尺寸为15mm×15mm, 多功能芯片尺寸为6.5mm×6.5mm, 金凸点直径为 $65 \pm 3 \mu\text{m}$, 堆叠后层间高度为 $50 \pm 5 \mu\text{m}$ 。

此3D封装器件为T/R组件, 主要功能包括: 幅相控制、信号放大等。

产品交付后, 后续使用过程通过BGA植球、堆叠装入多层



> 图1 产品剖面示意图

PCB基板, 焊球成份为Pb90Sn10, 直径为 $300 \mu\text{m}$, 产品后续随整机经历温度循环试验, 试验条件为 $-55^\circ\text{C} \sim 85^\circ\text{C}$, 转换时间 $\leq 1\text{min}$, 保持时间30min, 10次循环。

作者简介: 赵永志(1984.12-), 男, 河北唐山人, 汉族, 硕士研究生, 高级工程师, 从事射频微电子设计、3D封装工艺开发研究。

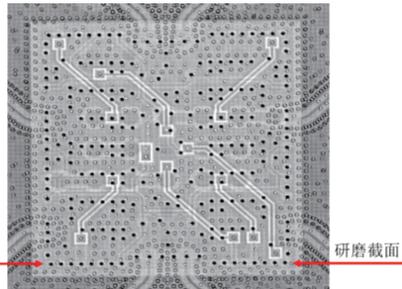
二、失效现象及定位

后续装配过程中，个别产品出现了增益指标低、控制位不工作的情况。根据产品结构可推断性能异常的原因包括以下三点：

- 1) 芯片本身损坏；
- 2) 金-金堆叠界面分离；
- 3) 硅基载体损坏。

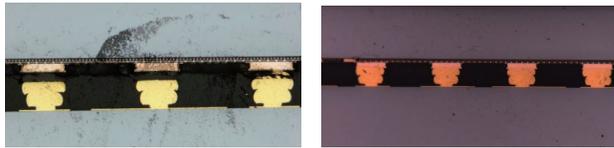
根据产品的失效现象，金-金堆叠界面分离的可能性较大。

为确认失效位置，对样品进行制样研磨，观测金-金堆叠界面形貌。根据产品失效现象进行凸点的精确定位，确认的研磨位置如图2所示：



> 图2样品研磨位置

如图2所示为研磨位置，研磨性能异常样品的同时采用性能合格样品进行对比。研磨结果如图3所示：



a) 异常样品功能点剖面

b) 性能正常样品剖面

> 图3样品研磨结果

如图3可见，性能异常样品中，功能点处金-金堆叠界面出现了分层，性能正常样品金-金堆叠界面完好无损。可见，造成此次产品失效的原因为金-金堆叠界面出现分层。

三、失效原因分析

为根除金-金堆叠界面开裂的情况，进一步对其原因进行分析。

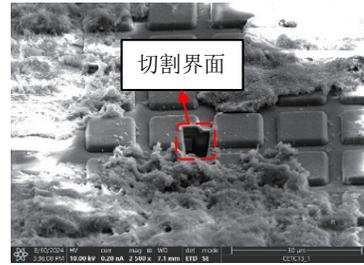
由图3界面可见：金-金堆叠界面开裂的同时，其界面加固作用的底部填充胶与芯片界面也出现了分层。可见芯片堆叠界面存在应力，且底部填充胶的粘接强度无法平衡此应力。造成此种情况的原因包括如下几点：

- 1) 底填界面异常：产品底部填充界面异常，如界面存在沾污则会影响底部填充胶的黏接强度；
- 2) 产品自身结构问题：产品结构不合理，自身存在应力集中的风险；
- 3) 使用环境因素：产品后续装配使用过程存在外部应力，应力值已超过底部填充胶的承受能力。

(一) 底填界面分析

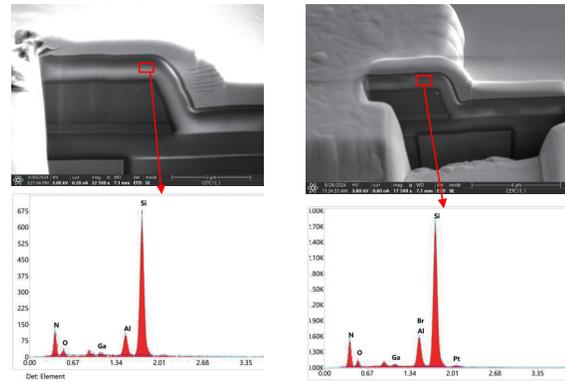
底部填充胶本身强度较高，正常情况其可起到加强堆叠界面

强度的功能。为确认失效样品底部填充界面是否存在异常，对失效芯片样品界面进行FIB形貌观测，采用库存正常芯片作为对比组。样品的FIB切割位置如图4所示：



> 图4芯片样品表面FIB图像

图4为将多功能芯片从硅基载体剥离，在FIB设备下的成像，剥离的芯片表面留存有部分残胶。芯片分层位置中部分为胶体本身断裂，部分为胶体与芯片表层分离。进一步观测胶体与芯片分离界面，对芯片表层切割位置进行能谱标定，能谱结果如图5所示：



a) 异常芯片剖面形貌及表层成份

b) 库存正常芯片剖面形貌及表层成份

> 图5芯片样品FIB成份结果

由图5可见，拆分下的芯片与库存正常芯片表层形貌基本相同，成份也无明显区别，表层物质主要为氮化硅，氮化硅起保护芯片的作用，此结构与芯片厂家所描述的情况一致^[6]。芯片切割界面未见异常物质，由此可排除底部填充界面异常的情况。

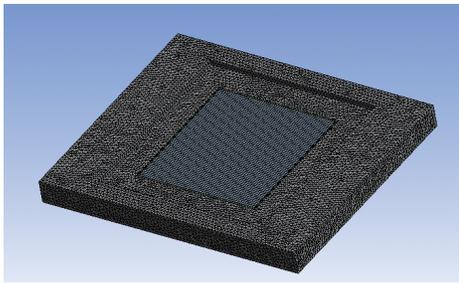
(二) 产品结构仿真

产品在后续装配中，会经历热回流工艺过程，同时环境试验也会涉及温度的变化。产品结构间不同材质在温变过程会存在一定的热应力。如底部填充胶与硅之间热膨胀系数差异较大，温度变化过程可能会存在底部填充胶受热将芯片顶起的情况，即产品本身存在热应力集中的风险。为验证此项，对产品建立有限元仿真模型，分析在有底部填充胶以及无底部填充胶的情况下金凸点位置应力的大小。所用到的有限元参数如表1所示：

表1 有限元仿真材料参数

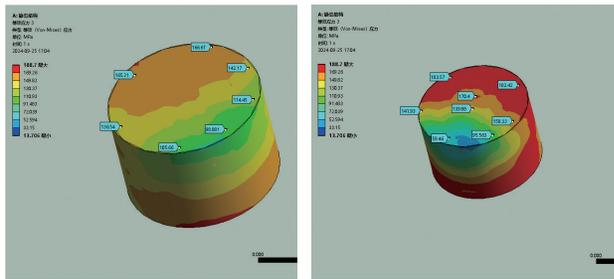
材料	热胀系数 (ppm/°C)	屈服强度 (MPa)	杨氏模量 (GPa)	泊松比 (λ)
Si	2.8	-	128	0.28
GaAs	6.4	-	83	0.31
Au	14.4	184	77	0.44
底填胶	21.4	290	56	
PCB	18.5	-	85	0.36

所建立的有限元仿真模型如图6所示：



> 图6产品本体有限元仿真模型

为了节省计算资源和加快计算速度，对模型进行必要的合理的简化，计算使用的有限元模型总节点数约为64万；总单元数约为31万，温度加载按回流焊峰值温度设置为210℃，仿真结果如图7所示。



a) 无底填胶金凸点应力

b) 无底填胶金凸点应力

> 图7芯片位置金凸点应力仿真

由图7可见，无底部填充胶情况下金凸点的最大应力为183MPa，有底部填充胶情况下金凸点最大应力为165MPa。有底部填充胶加固情况下金凸点最大应力值明显低于无底部填充加固的情况。底部填充胶起着加固作用，并未存在将芯片顶开的情况，可见产品自身结构不存在问题。

(三) 产品使用环境分析

产品在后续装配使用过程中，不合理的整机结构可能会导致某些元器件应力集中而失效。本产品为通过BGA焊料球装入组件PCB上，装配完毕后即存在失效的情况。

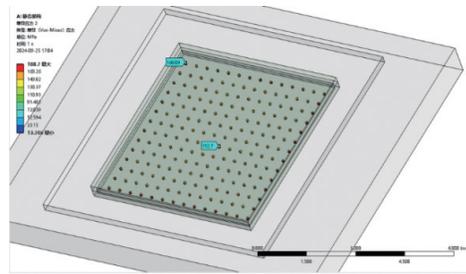
产品装配后失效主要可能为以下两点：

1) PCB材料与硅材料热失配：产品在回流焊过程，随温度升高，焊料未熔以及熔融后的状态均不会与PCB基板产生应力。降温过程中温度低于焊料熔点后焊料凝固，再继续降温时产品与PCB基板会因热膨胀系数的差异导致不同的形变，进而产生拉脱应力。

建立产品与PCB基板的仿真模型，温度加载为焊料凝固时熔点温度：183℃，材料参数按表1进行，应力仿真结果如图8所示：

参考文献

[1]王豪杰, 崔碧峰, 王启东等. 射频系统2.5D/3D封装结构的研究进展 [J]. 电子与封装, 2021, 21(09):36-46.
 [2]Zihong Hu; Chengshun Liou. Micro-Cantilever Array with electroplating tin bumps for flip-chip bonding technology [C]. IEEE Transactions on components, packaging and manufacturing technology, 2023, 2040-2045.
 [3]罗道军, 倪毅强, 何亮, 等. 电子元器件失效分析的过去、现在和未来 [J]. 电子产品可靠性与环境试验, 2021, 39(S2):8-15.
 [4]杨领叶, 史燕萍等. 先进集成电路超大测试结构的短路失效定位方法 [J]. 半导体技术, 2022, 47(5), 416-420.
 [5]金鑫. 倒装芯片封装中底部填充技术的分析与优化 [D]. 东南大学, 2020.
 [6]于姝莉. 钝化层质量问题分析研究 [J]. 微处理机, 2020, 41(05):10-13.



> 图8产品装入PCB后的仿真结果

如图8所示，最大应力分布在边缘位置的金凸点，为168MPa，低于金材料的屈服强度。由此可排除产品与PCB基板热膨胀系数过大导致的失效。

2) PCB基板翘曲：PCB基板在经历温度变化后，可能会受升降温的影响发生弯曲变形。已经发生弯曲变形后的PCB基板后续在装入产品金属盒体时会受压恢复平整的状态，此时PCB基板会对硅基产品产生拉力，进一步硅基载体传递拉力至芯片金凸点位置引起失效。

取PCB板过炉温，炉温峰值为210℃，印制板过炉温前无明显翘曲，过炉温后翘曲1.5mm，印制板对角10mm，翘曲率1.5%，超过了最大翘曲率0.75%的要求。由此可见，PCB板翘曲导致器件失效的概率较大。

产品装入组件的顺序为先将产品装入PCB，再将PCB装入组件。为减少PCB变形对产品结构的影响，先将PCB装入组件进行固定，后将产品装入组件。优化工序后的实验结果为：

表2优化工序后装配结果

组序	装配方式	装配数量	失效数量
1	先装产品与PCB	100	18
2	先装PCB与盒体	100	0

由表2可见，更改工艺顺序后的产品失效数量明显低于原工艺状态产品失效数量。由此可见降低了PCB板变形可解决产品金凸点开裂的情况。

四、结论

本文通过对典型3D封装器件进行了失效分析可得出以下结论：

- 1) 对于复杂3D封装器件，设计阶段应充分考虑到其后续可能的应用场景，应规定其适用的装配方式和应用环境；
- 2) 不同的装配顺序可能会导致不同的装配结果，对于复杂器件的工艺路线的制定，应做充分的考虑和仿真设计。