

高速同步测量模块 DA 电压电流电路的低时延设计方法

朱志忠

中国科学院微电子研究所, 北京 100029

DOI:10.61369/EPTSM.2025040004

摘要：本文针对高速同步测量系统中 DA 电压电流电路时延制约问题，提出了一套完整的低时延设计方法。研究目的在于解决传统 DA 电路建立时间过长、多通道同步精度不足等技术难题，实现皮秒级时延控制和高精度同步测量。通过深入分析时延产生机理，重点研究了电流输出电路拓扑优化、高速同步控制策略和布局布线技术。设计方案采用电流输出型 DAC 配合精密 I-V 转换，建立时间压缩至 25ns 以内，通过差分信号传输和阻抗匹配技术确保信号完整性，多通道延时匹配精度达到 $\pm 0.1\text{ns}$ 。测试结果表明，所设计的 DA 电路系统总延时小于 50ns，通道间同步精度优于 $\pm 100\text{ps}$ ，频率响应平坦度在工作带宽内保持 $\pm 0.5\text{dB}$ 。

关键词：高速同步测量模块；DA 电压电流电路；低时延设计

Low-Latency Design Method for DA Voltage and Current Circuits in High-Speed Synchronous Measurement Modules

Zhu Zhizhong

Institute of Microelectronics of the Chinese Academy of Sciences, Beijing 100029

Abstract： This paper presents a complete low-latency design method to address the latency constraints of DA voltage and current circuits in high-speed synchronous measurement systems. The research aims to solve technical challenges such as long settling times in traditional DA circuits and insufficient multi-channel synchronization accuracy, achieving picosecond-level latency control and high-precision synchronous measurement. Through deep analysis of latency generation mechanisms, the study focuses on optimizing current output circuit topology, high-speed synchronous control strategies, and layout and routing techniques. The design scheme employs a current output DAC combined with a precision I-V conversion, reducing the settling time to less than 25ns. Differential signal transmission and impedance matching techniques ensure signal integrity, with a multi-channel delay matching accuracy of $\pm 0.1\text{ns}$. Test results demonstrate that the designed DA circuit system achieves a total delay of less than 50ns, inter-channel synchronization accuracy better than $\pm 100\text{ps}$, and a frequency response flatness maintained within $\pm 0.5\text{dB}$ over the operating bandwidth.

Keywords： high-speed synchronous measurement module; DA voltage and current circuit; low-latency design

引言

随着现代测量技术向高速化、高精度化方向发展，同步测量系统在电力系统保护、雷达信号处理、通信基站测试等领域发挥着越来越重要的作用。传统的 DA 转换电路由于建立时间长、通道间延时不匹配等问题，已经成为制约系统整体性能提升的关键瓶颈。特别是在多通道高速同步测量应用中，各通道间微秒级的时延差异就可能导致测量结果的严重偏差，影响系统的可靠性和准确性。深入研究高速同步测量模块 DA 电路的低时延设计方法，掌握核心技术原理，对于提升我国精密测量装备的技术水平具有重要意义。

一、时延产生机理分析

在高速同步测量系统中，DA 转换电路的时延往往是制约整体性能的关键瓶颈，其复杂性远超表面认知。DA 电路的总时延实际

上是多个物理过程的叠加结果，主要源于三个核心层面的时延累积。首先是 DA 转换器内部的固有时延，包括建立时间、传播延迟和码转换毛刺，其中建立时间是指输出信号稳定在最终值 $\pm 0.5\text{LSB}$ 范围内所需的时间，对于典型的 12 位 1MSPS DAC 约为 200-

课题名称：高压高速脉冲产生和任意波信号产生及同步测量模组设计，课题号：2023YFF0717903，课题来源：科技部国家重点研发计划。

作者简介：朱志忠（1986.02-），高级工程师，现工作于中国科学院微电子研究所，主要研究方向：光电精密测量、绝对测距及其电子学设计。

500ns, 主要受内部电流源切换速度限制; 传播延迟为数字输入到模拟输出开始响应的纯延时, 一般为 10–50ns; 码转换毛刺在大幅值跳变时产生瞬态尖峰需额外稳定时间。其次是外围电路引入的附加时延, 输出缓冲放大器是主要贡献源, 以 OPA847 为例, 35MHz 带宽对应约 5ns 时延, 大信号条件下 150V/ μ s 压摆率限制会显著延长建立时间; 滤波电路群延时同样关键, 三阶巴特沃斯滤波器在 100MHz 截止频率处约产生 5ns 延时; PCB 走线按 150ps/英寸计算, 5cm 走线约 3ns 延时。最后是数字控制逻辑的系统时延, 包含 SPI 通信和寄存器更新延时, 时钟域切换引入 2–3 个时钟周期延时, 多通道系统的数据同步误差典型值为 ± 1 个时钟周期^[1]。

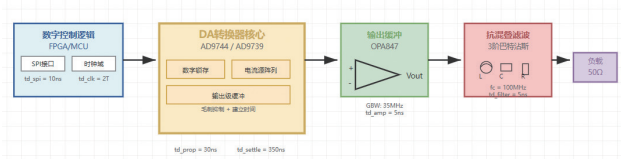


图1 高速同步测量模块 DA 电路时延机理

二、高速同步测量模块 DA 电压电流电路的低时延设计的技术难点

高速同步测量模块 DA 电路的低时延设计面临着多重技术挑战, 这些难点往往相互交织, 形成了复杂的设计约束条件。首要难点在于器件固有特性与系统性能需求之间的矛盾, 传统 DA 转换器的建立时间通常在数百纳秒量级, 而高速同步测量要求系统总延时控制在几十纳秒以内, 这就需要在器件选型时进行精细化权衡, 既要保证转换精度又要满足速度要求。同时, 高速信号处理过程中的信号完整性问题日益突出, PCB 寄生参数、走线不连续性和电磁干扰都会引入额外的延时和失真, 传统的设计经验往往无法直接适用于皮秒级精度的时延控制场合。

多通道同步问题的复杂性远超表面认知, 各通道间的延时匹配要求苛刻得令人咋舌, 哪怕几个皮秒的偏差都可能引发系统性能显著下降。工艺制造中不可避免的微小差异、环境温度细微波动, 甚至器件长期使用后的特性漂移, 这些看似微不足道的因素都会悄然破坏通道间的精确对齐。更让人头疼的是, 时钟分配网络的设计, 既要确保每路时钟信号的纯净度, 又要实现各分支间严丝合缝的相位匹配, 往往让经验丰富的工程师都感到棘手。

三、高速同步测量模块 DA 电压电流电路的低时延设计方法

(一) 低时延 DA 电压输出电路设计

高速 DA 电压输出电路的低时延实现关键在于合理的电路拓扑选择和精细化信号链设计, 电流输出电路拓扑具备天然的速度优势, 应优先采用电流输出型 DAC 配合精密 I–V 转换的方案。具体实施时, 选择 AD9739A 等高速电流输出 DAC, 其省去内部电压缓冲级, 建立时间可压缩至 25ns 以内。I–V 转换采用跨阻放大器结构, 反馈电阻精确匹配 DAC 满量程输出电流, 典型配置为 20mA 对应 500 Ω 。运算放大器选用 OPA847 等宽带器件, 35MHz 增益带宽积满足高速响应, 150V/ μ s 压摆率确保大信号快速建立。

负载匹配与阻抗控制直接影响信号完整性和反射延时, 整个信号链严格按 50 Ω 特征阻抗设计, DAC 输出端通过精密电阻网络实现阻抗匹配。PCB 走线宽度精确计算, 标准 4 层板表层 0.2mm 走线可实现 50 Ω 阻抗, 差分信号对间距控制在走线宽度 2–3 倍确保 100 Ω 差分阻抗。终端匹配电阻需平衡功耗和线性度, 串联匹配适用于弱驱动输出, 并联匹配适用于低阻抗驱动, 负载电容总和应控制在 5pF 以内, 最小化寄生延时^[2]。

共模抑制与隔离设计确保多通道系统的独立性和测量精度, 差分信号传输提供优秀共模抑制, 差分对走线长度匹配精度达 ± 0.1 mm, 对应延时匹配 ± 0.7 ps。共模扼流圈有效抑制共模噪声, 需选择低延时型号。电源隔离采用分离式设计, 数字和模拟电源通过磁珠隔离, 每通道模拟电源独立供电避免相互干扰。接地采用星形单点接地, 模拟地和数字地在电源入口单点连接。屏蔽设计中信号走线远离开关电源和数字时钟, 敏感信号下方设置完整接地平面。

(二) 低时延 DA 电流输出电路设计

电流输出模式在超低时延 DA 转换应用中有显著优势, 其能够有效规避传统电压输出方式中繁杂的内部缓冲级联结构, 实现信号建立时间的大幅优化。实际设计中, 核心思路在于构建简洁高效的电流驱动链路, 并对负载特性进行精细化调节。器件选型环节需要重点关注专用的高速电流舵架构 DAC, 典型代表包括 MAX5875 和 LTC2000 系列产品, 这类器件基于分段式电流源设计, 具备将建立时间控制在 15ns 以内的卓越能力。参数配置过程中, 输出电流范围通常设置为 ± 20 mA 较为合理, 依靠外部基准电阻实现精确调控, 基准电阻的选择必须充分考虑温度漂移特性和长期稳定性要求, 建议采用精密金属膜电阻确保转换准确度。负载网络设计直接关系到电流–电压转换的效率和线性度指标, 工程实践中多采用中心抽头变压器或平衡–不平衡转换器等成熟拓扑, 既能满足阻抗变换需求, 又能有效保持差分信号的完整性。

对于直接电阻负载方案, 需要精心设计阻值分配, 主负载电阻选择 25 Ω 以获得合适的转换增益, 并联终端电阻设置为 200 Ω 以改善频率响应平坦度, 这种配置下的综合阻抗约为 20 Ω , 既保证了足够的信号幅度又维持了良好的高频特性。驱动能力增强和信号完整性保障需要通过合理的后级处理电路来实现, 缓冲放大器的选择要兼顾速度和驱动能力, AD8001 等电流反馈型运放具有优异的瞬态响应, 其 2000V/ μ s 压摆率能够应对快速电流变化。电路连接采用 AC 耦合方式可以消除直流偏置的影响, 耦合电容选择高质量的 NPO 材质, 容值设定为 0.1 μ F 以确保低频响应延伸。多通道应用中, 各路电流输出需要独立的偏置调整, 通过数字电位器实现自动校准, 补偿工艺偏差和温度变化带来的不一致性, 确保系统整体的时延匹配精度。

(三) 高速同步控制电路

多通道测量系统中, 高速同步控制电路承担着时序协调的重任, 其性能表现往往决定了整套系统能否达到预期的测量精度和运行稳定性。从工程实施角度看, 同步控制的成功实现主要依赖两个关键要素: 统一时钟分配网络的构建以及触发时序的精密管理。在时钟分配架构中, 推荐使用 CDCLVD110 等专业时钟缓冲芯片, 通过扇出缓冲技术形成一主多从的树状分布, 这样能够保证各个通道都能接收到频率和相位完全一致的时钟基准。PCB 布线环节对时钟质量的影响不容小觑, 各条时钟分支的走线长度必须严格匹配, 偏

差控制在 $\pm 0.5\text{mm}$ 范围内才能将时延差异限制在 $\pm 3\text{ps}$ 左右，这通常需要借助蛇形走线或专门的延时补偿线路来实现。时钟源的品质直接关系到系统的长期稳定性，在时钟发生器附近配置低相位噪声的晶体振荡器是必要措施，特别是温度补偿型 TCXO 能够将频率稳定度指标提升到 $\pm 0.1\text{ppm}$ 水平，为高精度同步奠定坚实基础。

触发同步机制的实现需要结合硬件和软件两个层面，硬件触发采用专用触发信号线，通过差分 LVDS 电平传输确保信号完整性，触发延时控制在 10ns 以内。软件触发通过高速串行接口如 SPI 或并行总线实现，需要预先计算并补偿通信延时。多通道数据同步采用握手协议，各通道在完成数据准备后发送就绪信号，主控制器收集所有就绪信号后统一发送开始命令。这种机制虽然增加了少量延时，但确保了绝对的同步性。对于精度要求极高的应用，可采用硬件时间戳技术，在每个数据包中嵌入高精度时钟计数值，后续通过软件算法进行时间对齐校正。

（四）PCB 布局布线优化

PCB 的物理实现质量往往成为制约高速同步测量系统性能发挥的隐性瓶颈，合理的布局布线策略能够最大程度地挖掘电路设计的潜在性能。布局规划的首要原则是信号流向的顺序性，将输入、处理、输出功能模块按照信号传递方向依次排列，避免信号回流和交叉干扰。关键器件的放置需要考虑热管理和电磁兼容性，大功率器件如开关电源 IC 应放置在 PCB 边缘便于散热，同时远离敏感的模拟电路区域。去耦电容的布局采用就近原则，每个有源器件的电源引脚附近放置适当容值的陶瓷电容，大容量电解电容用于低频去耦，小容量贴片电容负责高频滤波。布线策略中，差分信号对必须保持严格的几何对称性，走线宽度、间距和长度都要精确匹配，过孔使用应尽量减少以降低不连续性影响。阻抗控制通过叠层设计实现，标准的 4 层板结构中，信号层与参考地层的介质厚度决定了特征阻抗，需要与 PCB 厂商密切配合进行阻抗仿真验证。高速信号走线应避免开关电源和时钟信号的辐射区域，必要时采用地平面对割技术进行隔离。接地设计采用多点接地与单点接地相结合的策略，高频信号采用多点接地减少回流路径阻抗，低频和直流信号采用单点接地避免地环路干扰^[3]。

四、测试与验证方法

高速同步测量模块 DA 电路的性能验证必须构建系统性的测试框架，采用多层次测量策略来全面考核系统的时延性能和同步准确度。

（一）时延测量与分析

时延特性的准确测定是检验低时延设计成效的关键步骤，这个过程离不开高精度时域测试仪器和规范的测试流程。在基本测试环节，选用 Keysight DSOX6004A 等高速示波器搭配差分探头来捕获 DA 输出的建立过程，借助阶跃信号激励来评估从数字码值切换到模拟量稳定的完整耗时。信号激励必须涵盖整个动态范围，尤其要重点观察大幅跳变情况下的瞬态行为。想要进一步提

升测量精度的话，时间间隔分析仪 Keysight 53230A 是个不错的选择，其皮秒级分辨能力足以捕捉细微的时延变化。测试环境的温度管控相当重要，毕竟器件的传输延迟对温度变化比较敏感，标准做法是将测试温度稳定在 $25^{\circ}\text{C} \pm 1^{\circ}\text{C}$ 范围内。针对多通道架构的时延一致性检测，需要对所有通道实施同步激励，通过相位差分析来判断各通道间的同步水平，相位测量精度需要达到 $\pm 0.1^{\circ}$ 才能满足高精度同步的苛刻要求。

（二）频域特性验证

频域测试手段能够深入揭示 DA 电路的动态行为和频率传输特征，为带宽评估和群延时分析提供关键数据支撑。借助 Rohde&Schwarz ZVA24 等矢量网络分析仪对 DA 电路实施 S 参数扫描，着重分析传输参数 S21 的幅频和相频响应，群延时指标通过相频曲线的微分运算得出，优秀的低时延系统在工作频段内应该展现出相对平坦的群延时曲线。频率扫描的覆盖范围要从直流一直延伸到系统工作带宽 10 倍频率处，这样才能充分暴露高频寄生效应的影响。失真特性测试借助 Audio Precision APx555 音频分析仪完成，通过纯音激励来测定总谐波失真 THD 和信噪比 SNR 等线性度指标。互调失真的评估采用双音测试信号，重点观察三阶交调分量的大小，这对系统动态范围的评价很有参考价值。

（三）系统级同步性能评估

系统级验证是检验整体设计目标达成情况的最终考核，必须在真实工作环境下对多通道同步测量的准确性和可靠性进行综合评价。测试平台的搭建包括激励源、待测 DA 模块、数据采集装置和分析软件等完整链路，构成闭环验证系统。同步精度检测通过输出预设相位关系的测试信号，利用高精度数字示波器测量各通道输出的相位偏差，对相位差的统计特征进行分析，包括均值、方差和极值范围等，以此评判系统的同步一致性水平。长期稳定性考核需要在 24 小时以上的持续运行中跟踪重要参数的演变趋势，涵盖输出幅值、相位稳定性和温漂特性等方面。环境适应性验证涉及温度冲击、湿度变化和电磁骚扰等多种应力条件，检验系统在严苛环境下的性能保持程度。最终需要将系统实测性能与设计目标进行详细对比，编制完整的性能评估报告，为后续优化改进和工程推广应用奠定坚实基础。

五、结束语

总的来说，高速同步测量模块 DA 电压电流电路的低时延设计本质上是一个多维度交叉的技术挑战，需要从器件筛选、拓扑架构、系统集成以及制造工艺等各个环节进行统筹考虑。当前，伴随着高速数字处理技术的快速演进和先进封装技术的日趋成熟，DA 转换电路在时延性能方面仍存在可观的提升潜力。未来，新一代 DA 芯片技术、智能化时钟同步算法以及更为精准的延时校正机制将成为重点关注方向，这些技术突破对于应对愈发严格的高速同步测量要求具有重要意义。

参考文献

- [1] 陈永，詹芝贤，张薇. 基于 ARIMA-TCN 混合模型的高速铁路时间同步方法 [J]. 铁道学报, 2024, 46(06): 90-100.
- [2] 廖勇，罗渝，荆亚昊. 6G 新型时延多普勒通信范式：OTFS 的技术优势、设计挑战、应用与前景 [J]. 电子与信息学报, 2024, 46(05): 1827-1842.
- [3] 罗如意，代永涛，吕学磊，贺崇文，卢沙，欧阳诗杰. 智慧高速多源异构感知数据实时高精度融合算法 [J]. 中国交通信息化, 2024, (04): 86-89.