

微波射频接收机低噪声前端电路工程实现方案优化

耿同贺，姜兆国

中国电子科技集团公司第十三研究所，河北 石家庄 050000

DOI:10.61369/ME.2025070012

摘要：为了实现前端模块产业化，应对性能与成本进行平衡，关键在于工艺选择，结合产品定位进行科学调整。设计复用通过构建标准单元库，封装 LNA 等模块为 IP 核，使重复设计的周期得到有效缩短。整合供应链应通过共享晶圆服务对光罩费用进行分摊，采用系统级封装技术来减少组装工序。为了缩短单片时间，测试流程可采用自动化并行测试，以此提升产能利用率。在提升良率方面，需结合工艺监控与数据反馈，对金属层线宽等设计规则进行调整，使良率从 85% 提至 95%，借助规模效应使单片成本降低，以此满足消费电子市场低成本需求。

关键词：微波射频接收机；低噪声前端电路；工程实现方案；优化

Optimization of Engineering Implementation Plan for Low-Noise Front-End Circuit of Microwave RF Receiver

Geng Tonghe, Jiang Zhaoguo

The 13th Research Institute of China Electronics Technology Group Corporation, Shijiazhuang, Hebei 050000

Abstract : To achieve industrialization of the front-end module, a balance must be struck between performance and cost, with the key lying in process selection and scientific adjustments based on product positioning. Design reuse, achieved by constructing a standard cell library and encapsulating modules such as LNAs as IP cores, effectively shortens the cycle of repetitive designs. Supply chain integration should involve sharing wafer services to split mask costs and adopting system-in-package technology to reduce assembly steps. To shorten the time per chip, an automated parallel testing process can be implemented in the testing flow to enhance capacity utilization. To improve yield, adjustments to design rules such as metal layer line widths should be made based on process monitoring and data feedback, raising the yield from 85% to 95%. Leveraging economies of scale reduces the cost per chip, meeting the low-cost demands of the consumer electronics market.

Keywords : microwave RF receiver; low-noise front-end circuit; engineering implementation plan; optimization

引言

通信系统对前端模块的小型化与高集成度需求进一步推动了产业化的发展，不过成本压力对技术落地产生了制约。为了推动产业化路径，应从工艺选择着手，40nm 工艺的成本优势显著，不过要对性能损失进行平衡。通过建立标准单元库实现设计复用，将常用模块封装为 IP 核，缩短重复设计的时间。供应链整合方面则通过共享晶圆服务实现光罩费用的分摊，组装工序的减少则可通过系统级封装技术来实现，测试流程通过自动化并行测试来缩短单片时间，以此提升产能利用率。良率提升应将工艺监控与数据反馈进行结合，科学调整设计规则，最终通过规模效降低单片成本，由此实现整体方案的科学优化。

一、理论框架与系统级优化

通信系统信号的接收质量是由微波射频接收机前端电路的性能所决定的，但低噪声设计则成为核心难题，该领域应对能量损耗、噪声抑制和信号增益这三者的平衡问题进行解决，这三大指

标具有明显矛盾，因为噪声系数降低会导致功耗增加或牺牲增益，而线性度提升又会导致噪声变得更糟。因此，在系统级优化过程中，其关键是构建相应的噪声预算分配模型，对级联电路的噪声系数进行计算后，进一步确定每个模块的性能边界。比如低噪声放大器应对最小的噪声系数进行优先保证，而混频器则要兼

作者简介：

耿同贺（1989—），男，汉族，河北沧州人，硕士，工程师，主要研究方向：宽带微波组件领域；
姜兆国（1985—），男，汉族，黑龙江哈尔滨人，硕士，高级工程师，主要研究方向：复杂微波组件领域。

顾线性度和动态范围。在具体工程实践中，设计人员常遇到各种非理想因素。比如，热应力分布不均、电磁耦合效应，还有工艺制程偏差。这些因素会带来额外的噪声源，让系统整体性能变差。为了应对这些问题，得用多物理场耦合分析方法，来优化电路布局和材料选择。传统优化方法只关注单一性能指标，很难满足实际工程中需要的动态平衡。所以，现在的设计策略更喜欢用自适应匹配网络，实时调整输入阻抗，或者加入噪声抵消技术，有效降低级联系统的整体噪声水平。此外，还需要重视系统架构创新，力求结合零中频架构与超外差架构的优势，这样既可对信号处理流程进行简化，又能保证其选择性，这样便可使整体电路的复杂度和噪声累积效应得以降低。总而言之，系统级设计的核心在于将工程经验与理论模型进行相互结合，确保打造的方案能够在硅片上高效实现的基础上，又能满足噪声性能要求，该过程需对实际工艺限制与理论推导进行同时考虑，这样设计出的电路才能满足工程要求。

二、关键模块工程实现

（一）低噪声放大器（LNA）优化设计

对于微波射频接收机前端来说，其核心模块便是低噪声放大器，该模块性能对整个系统的灵敏度有着直接影响，其优化关键便是对功耗、增益与噪声系数进行相互平衡。以往的共源共栅结构需要对源极电感参数进行调整，以此降低噪声系数，不过需要对增益稳定性进行兼顾。例如对源极电值进行一定程度的增大时，会使噪声抑制效果变得更好，但电感过大便会导致寄生电阻的引入，从而造成增益下降。此外，设计偏置电路也是至关重要的，晶体管的工作性能会受到温度变化的直接影响，因此需要通过互补型电流源组合方案，使偏置电压能够在不同温度环境中保持稳定，进而防止噪声性能恶化。除此之外，还要高度重视工艺适配性，相同电路结构在不同工艺节点下可能表现出差异，比如，0.18微米工艺和28纳米工艺，在寄生参数分布上差别很大。为了保证目标频段里的噪声系数降到最低，得仿真调整元件尺寸。优化输入匹配网络时，要充分考虑电磁耦合效应。过去只用纯电阻匹配，容易带来额外噪声。所以，得用电磁耦合带通滤波器和LNA一起设计，来降低级联系统的总噪声。还能抑制带外干扰信号，实现阻抗匹配。实际工程中，版图布局也会影响结果。寄生电容和电感值，会因金属走线的长度和宽度变化而改变，电路性能也会受影响。这时，就得合理规划接地过孔位置和电源线走向，减少电磁干扰，提高电路稳定性。通过上述方法，经过最终优化的LNA便可实现功耗、增益与噪声系数的平衡，例如在2.4GHz频段实现噪声系数低于1.5dB，同时增益达到15dB以上，功耗控制在10毫安以内，由此满足现代通信系统对低噪声前端的高要求。

（二）混频器噪声抑制与线性度提升

要想实现频率转换，射频接收机中的混频器便是关键模块之一，该模块性能对信号接收质量有着直接影响，由于被动式混频器有着低功耗的应用优势，因此被广泛采用，不过跨导级和开关

级的非理想特性却会使线性度降低，而且会产生额外噪声。跨导级作为信号输入的第一级，一旦非线性失真，便会造成谐波干扰，为了提升线性度，以往的设计中都是通过增加偏置电流来实现的，不过这样会导致功耗效率受到影响。因此在对跨导级线性度进行优化时需要引入导数叠加技术，通过对偏置电压与晶体管尺寸进行调整，确保不同工作点的非线性效应能够相互抵消，进而保证低功耗的同时，使三阶交调截断点得到提升。同样重要的是开关级的负载阻抗匹配，由于工艺偏差会影响到固定阻抗的设计，进而造成噪声系数恶化，因此需要引入动态匹配策略，也就是对输入信号强度进行实时监测，然后对负载值进行调整，这样既可使引入的热噪声得到抑制，而且也能避免因阻抗失配引起的信号反射。另一个优化关键点是本振（LO）功率的控制，如果LO功率过高，会使开关级的相位噪声加剧，而LO功率过低则会降低混频效率，因此需要采用自适应调节算法，依据接收信号来对LO驱动强度进行动态调整，这样即使在信号较弱的场景，也能通过调整LO功率来增强混频灵敏度，信号较强的场景下则可通过降低LO功率来减少噪声叠加。除此之外，如果开关级的时钟抖动，也会使额外的相位噪声被引入，这时便要对时钟树布局进行优化，增加缓冲级，降低时钟信号的上升/下降抖动时间差异，进而使混频过程的时域稳定性得到提升。在具体工程中，还需对电源线和信号线的走线间距、接地过孔的分布密度进行仿真优化，防止串扰导致的噪声耦合。通过上述方法，便可使混频器在动态范围、噪声系数与线性度之间取得平衡。

（三）集成化前端模块电磁兼容设计

在集成化前端模块设计中，其关键是电磁兼容设计，这也是微波射频电路工程实现的关键所在，并且对信号完整性与系统稳定性有着直接影响。应优先考虑接地过孔阵列的布局优化，回流路径的阻抗特性会因金属过孔的密度和位置发生显著改变，如果过孔间距过大，便会造成高频信号在接地层发生谐振，额外噪声也会被引入。因此，过孔排列需通过3D电磁仿真进行指导。比如，在电源线和信号线交叉的地方，可以加接地过孔。用法拉第笼效应，来抑制电磁耦合干扰。另外，还要隔离电源噪声。设计片上滤波电容阵列时，得兼顾面积效率和滤波效果。以前的单一电容值方案，容易在某些频率下出现谐振峰。为了拓宽噪声抑制带宽，可以用不同容量电容并联的组合策略。比如，把10pF和100pF电容并联起来，既能覆盖低频电源波动，也能抑制高频开关噪声。做多物理场协同仿真时，要整合电磁、热、电等因素。传统单独仿真没重视热应力对电路性能的影响，所以要用工具链集成方式，实时修正温度变化带来的材料参数偏移。比如，在高频电路仿真工具里完成电路设计后，把布局文件导入三维电磁场仿真工具，做电磁分析。再把结果反馈到多物理场协同仿真平台，进行热应力仿真，最后闭环优化。在具体工程中，应重视不同模块之间产生的信号串扰，相邻的功能块，如LNA与混频器的布局间距应利用仿真进行确定，如果相邻功能块过近，可能造成本振信号泄漏到输入端，而过远的话，又可能因走线长度的增加，导致寄生参数被引入，因此需要在面积和性能之间找到平衡点。最后，还要高度重视封装技术的影响，虽然模块体积可通过

晶圆级封装（WLP）进行减小，但封装材料的介电常数差异会导致信号的传输特性发生改变，因此需对封装寄生参数进行提取，然后补偿至电路设计中。例如，可以在封装边界对匹配网络进行增加，这样信号衰减便可得到抵消。通过上述方法，对集成化前端模块进行优化后，便可实现电磁兼容性、面积效率与成本间的平衡，例如在2.4GHz频段实现模块间串扰低于-40dB，同时封装面积控制在1mm²以内，这样能够满足现代通信系统对小型化、高集成度的需求。

三、测试验证与工程化落地

（一）测试平台搭建与核心指标验证

在搭建测试平台时，应对前端电路性能进行验证，为了保证数据的可靠性，应选用高精度仪器。增益与反射损耗的测量可通过矢量网络分析仪来实现，噪声系数分析仪则可采用冷源法和Y因子法的相互结合，以此降低环境干扰。在实际测试过程中，应对仪器与被测电路的连接方式进行控制，例如使用同轴电缆时应对线损进行校准，防止因传输路径而导致额外误差被引入。在开展增益平坦度测试时，应确保目标频段被覆盖，利用扫频的方式对1–6GHz范围内的增益波动曲线进行获取，然后对匹配网络参数进行调整，确保波动始终处于±0.3dB范围以内。线性度验证应集中在三阶交调截断点，采用双音信号然后对输出谐波成分进行观测，以此实现对电路结构的优化，使IP3指标提升至+25dBm。最后，电源稳定性测试也是重要的，应对不同电压下的噪声系数变化进行监测，保证电路在供电波动时仍然性能稳定。测试数据需要和仿真结果进行对比，对设计偏差进行修正，确保前端模块的工程化落地具备可靠依据。

（二）可靠性验证与极端环境适应性

为了对前端模块的稳定性进行检验，需要在极端环境中开展可靠性验证，利用高低温箱开展高温和低温测试，模拟-40°C至125°C环境的极端环境，并对晶体管阈值的电压变化进行观察，分析其对增益的实际影响，例如85°C时部分器件的漏电流增加，此时需要对偏置电阻值进行调整来补偿性能损失，而在湿度测试时，应保证环境湿度达到85%RH以上，考虑到金属焊盘与封装材料界面容易受到水汽渗透而发生腐蚀，因此可通过氮气封装的方式，或者增加防潮涂层来进行有效抑制。在振动测试中，利用振

动台来对运输与工作场景的机械应力进行模拟，焊点疲劳可能导致信号开路，可通过对PCB布局进行优化来增加支撑过孔，并且采用高韧性的焊接材料，使失效概率降低至0.1%以下，在开展电源电压波动测试时，应保证能够覆盖±10%的范围，对线性稳压器反馈网络进行调整，保证输出电压能够稳定在1.8V±0.05V，防止供电异常引发噪声恶化。开展长期老化测试时，应确保需连续工作1000小时，测量噪声系数退化不超过0.2dB，增益下降控制在0.5dB以内，通过材料筛选与工艺优化提升模块寿命，最终验证数据需要和加速老化模型进行对比，然后对设计参数进行修正，这样才能使模块在复杂环境中得以稳定工作。

（三）产业化路径与成本优化

工艺选择是产业化路径的起始点，工艺节点不同会产生明显成本差异，如40nm工艺流片费用比28nm低30%，不过性能方面可能受到限制，因此需要对产品定位进行平衡。应重视设计复用，通过建立标准单元库，将常用模块如LNA和混频器封装为IP核，这样有利于缩短重复设计时间。在优化供应链时，应对晶圆制造与封装测试资源进行整合，选择支持多项目晶圆（MPW）的代工厂，分摊光罩费用，此外还要采用系统级封装（SiP）技术，减少组装工序。为了简化测试流程，还要对自动化测试程序进行开发，将核心指标全面覆盖，采用并行测试缩短单片测试时间，提升产能利用率。提升良率应将工艺监控与数据反馈进行结合，对失效模式进行分析，然后优化设计规则，例如可以对金属层线宽与间距参数进行调整，这样良率能够从85%提升至95%。最终产业化需形成设计、制造、测试闭环，利用规模效应使单片成本降低，比如量产10万片时成本能够下降40%，以此满足消费电子市场的低成本需求。

四、结语

本文通过工艺选择、设计复用与供应链整合等方式，以此优化前端模块的产业化路径。在此过程中，关键在于平衡40nm工艺的成本优势与性能，通过设计复用缩短重复开发周期，利用系统级封装技术精简组装工序，采用自动化的测试流程，使产能利用率提升。而良率提升方面则需对金属层线宽等设计规则进行科学调整，使良率从85%提至95%，最终通过规模效应，使单片成本进一步降低，从而为产业化落地提供了有效支撑。

参考文献

- [1] 张泽海,周扬,张洋,等.时分复用射频前端高功率微波波形响应[J].强激光与粒子束,2023,35(10):91–97.
- [2] 崔岩,徐嘉鑫,杨振,等.基于微波光子相干接收的宽带射频前端技术[J].半导体光电,2022,43(01):84–88.
- [3] 邱枫,宛操,罗雄耀,等.硅基毫米波收发前端集成电路研究进展[J].南京信息工程大学学报(自然科学版),2021,13(04):383–396.
- [4] 肖永川,胡波,李波,等.基于双驱动调制的低噪声微波光子混频器[J].空间电子技术,2020,17(04):102–108.
- [5] 刘宏梅,张妍,房少军.射频低噪声放大器创新设计性实验实践探索[J].实验技术与管理,2020,37(05):170–172+214.