

开源 EDA 工具在数字集成电路课程实践环节的应用

陆许明

五邑大学, 广东 江门 529020

DOI: 10.61369/ETR.2025490024

摘要 : 针对传统数字集成电路实践教学依赖国外商用 EDA 软件存在的授权费用高、平台限制多、透明度不足等问题, 本文探索并构建了一套以 Icarus Verilog (仿真)、Yosys (逻辑综合)、OpenROAD (布局布线) 和 Klayout (版图查看) 为核心的开源 EDA 工具链, 覆盖从 RTL 设计到 GDSII 版图生成的完整流程。本方案以 RISC-V 微处理器关键模块设计为项目驱动, 通过“白盒”化的开源工具帮助学生深入理解 EDA 工具原理与数字集成电路设计全流程。实践表明, 该教学模式不仅显著降低了教学成本, 更通过设计 - 验证 - 优化闭环有效培养了学生的工程思维与创新能力。本文以 32 位 RISC-V 内核 ibex 在 130nm 工艺下的后端设计为例, 展示了从综合到版图生成的具体实现, 为集成电路人才培养提供了可推广的教学范式。

关键词 : 开源 EDA 工具; 数字集成电路; EDA 工具链; RISC-V

Application of Open-Source EDA Tools in the Practical Teaching of Digital Integrated Circuit Courses

Lu Xuming

Wuyi University, Jiangmen, Guangdong 529020

Abstract : Aiming at the problems of high licensing fees, multiple platform restrictions, and insufficient transparency in traditional practical teaching of digital integrated circuits that relies on foreign commercial EDA software, this paper explores and constructs a set of open-source EDA toolchain centered on Icarus Verilog (simulation), Yosys (logic synthesis), OpenROAD (placement and routing), and Klayout (layout viewing), covering the entire process from RTL design to GDSII layout generation. Driven by the project of designing key modules of RISC-V microprocessors, this scheme helps students deeply understand the principles of EDA tools and the full process of digital integrated circuit design through "white-box" open-source tools. Practice shows that this teaching mode not only significantly reduces teaching costs but also effectively cultivates students' engineering thinking and innovative abilities through the closed loop of design-verification-optimization. Taking the back-end design of the 32-bit RISC-V core Ibex under the 130nm process as an example, this paper demonstrates the specific implementation from synthesis to layout generation, providing a promotable teaching paradigm for the training of integrated circuit talents.

Keywords : open-source EDA tools; digital integrated circuits; EDA toolchain; RISC-V

引言

集成电路产业是信息产业的核心, 是引领新一轮科技革命和产业变革的关键力量。当前, 集成电路技术已成为衡量一个国家科技创新实力和产业竞争力的重要标志。近年来, 全球集成电路产业保持快速增长态势, 中国作为全球最大的集成电路消费市场之一, 高度重视集成电路产业发展。2022年1月, 国务院发布《“十四五”数字经济发展规划》, 明确提出要增强关键技术创新能力, 瞄准集成电路、关键软件等战略性前瞻性领域, 提高数字技术基础研发能力^[1]。2025年9月发布的《电子信息制造业2025—2026年稳增长行动方案》提出“持续推动短板产业补链、优势产业延链、传统产业升链、新兴产业建链”, 为集成电路产业及其配套电子设计自动化(Electronic Design Automation, EDA)工具等基础环节提供了有力支持。

一系列支持集成电路产业发展的政策密集出台, 对产业发展形成了全方位的支持体系。然而, 这也一定程度上反映出我国相关产业发展仍然偏弱的现状^[2]。EDA 作为集成电路产业的基础支撑工具, 其技术水平和市场格局直接关系到整个产业链的安全与发展^[3]。与国际先进水平相比, 中国 EDA 工具发展仍面临挑战。在人才培养方面, 高校 EDA 技术教学面临多重挑战。传统教学主要依赖国外商用软件, 存在授权费用高、平台限制多、可持续性不确定等问题。特别是数字集成电路设计相关的实践课程, 如果要覆盖综合、布局、时序

基金项目: 本文为广东普通高校重点领域专项(编号: 2022ZDZX1033)和五邑大学高质量课程建设与创新创业教育建设改革项目(编号: KC2023018)研究成果。

约束、可测试设计、物理验证等关键功能，将会使用到多款 EDA 工具^[4]，每款软件均需单独授权。目前，开源 EDA 工具在功能与性能方面与商业工具尚有差距，在综合和布局质量、时序考虑、可布线设计等方面存在不足^[5]，但是，开源工具提供了覆盖集成电路设计流程的“白盒”模型，将开源 EDA 工具引入数字集成电路课程实践，不仅可降低教学成本，更重要的是还能帮助学生深入理解 EDA 工具原理、理解设计流程，培养创新能力。

本文将探索开源 EDA 工具在数字集成电路原理与设计课程教学中的应用。在前端设计的功能仿真、逻辑综合，在后端设计的布局布线、版图设计，分别使用对应的开源工具，形成一套覆盖数字集成电路设计流程的开源工具链。在课程中以 RISC-V 指令集微处理器的关键模块设计与集成开展项目式学习，让学生在课程学习中，能把理论与实践结合起来，从而达到教学与产业融合的效果。

一、数字集成电路设计工具链

数字集成电路设计流程包括系统描述、功能设计、逻辑设计、电路设计、物理设计、设计验证等多个环节。每个环节都有相对应的一款或多款 EDA 工具。本课程选用合适的开源软件，覆盖设计流程的关键环节，包括功能和电路仿真、逻辑综合、电路和物理设计。具体介绍如下。

（一）仿真工具 Icarus Verilog

Icarus Verilog^[6]是开源 Verilog 硬件描述语言仿真工具。它作为一个轻量级的编译器，将 Verilog 源代码编译成一种中间格式，随后由一个名为 vvp 的运行时仿真程序执行，从而完成对数字逻辑电路的仿真验证。其核心目标是提供一个完全符合 IEEE-1364 标准的 Verilog 仿真环境。它支持从行为级、RTL 级到门级的多层次描述，能够执行包括时序仿真在内的多种仿真任务。在数字集成电路的教学与入门级设计中，它使学生和开发者能够在学习 Verilog 编程的基础上，快速学习和实践 Verilog 编程及数字电路仿真流程。学生可以利用它完成从简单的组合逻辑电路（如加法器、编码器）到复杂的时序逻辑电路（如有限状态机、计数器）乃至小型 RISC-V 处理器内核的仿真验证。其“白盒”特性使学生能够专注于设计逻辑本身，而不是复杂的软件操作，有效培养了学生的代码调试能力和系统级验证思维。仿真过程如果需要输出波形，可以使用开源工具 GTKWave 查看波形进行代码调试。

（二）综合工具 Yosys

Yosys 是一款开源硬件描述语言综合工具。其名称源自“Yosys Open SYnthesis Suite”。其主要功能是将较高抽象层次的寄存器传输级行为描述，转化为优化后的门级网表^[7]。它完整支持 Verilog-2005 标准，并提供了从 RTL 综合、优化到工艺映射的完整流程。其核心命令 synth 是一个强大的综合脚本，可以自动执行一系列步骤，将 RTL 代码转换为目标工艺库对应的门级网表。在数字集成电路课程实验中，Yosys 是让学生深入理解综合这一关键概念的理想工具。学生可以清晰地观察到自己编写的 Verilog 代码如何一步步被优化并映射为基本逻辑门，从而将抽象的设计描述与具体的电路实现联系起来。例如，在基于 SkyWater 130nm 工艺的开源设计流程中，学生可以使用 Yosys 将 RISC-V 处理器内核综合为门级网表，为后续的布局布线打下基础。

（三）布局布线工具 OpenROAD

OpenROAD 是一款开源数字版图生成工具链，其目标是实

现 RTL 到 GDSII 的自动设计流程。OpenROAD 的版图生成工具链由一组开源工具组成，这些工具将 RTL 设计文件、约束文件、工艺库文件作为输入，目的是生成可用于流片的 GDSII 文件。具体包括逻辑综合、布局布线、电源分配网络生成，时钟树综合和版图生成等。在数字集成电路原理与设计课程的改革实践中，开源 EDA 工具 OpenROAD 扮演着连接抽象理论与具体物理实现的关键桥梁角色。在课程实验中，学生不再将设计止步于仿真，而是能够使用 OpenROAD 将综合后的门级网表，在真实的工艺库上进行布局、布线、时钟树综合等操作。在完成基础设计后，学有余力的学生可以基于 OpenROAD 的分析结果，进行设计迭代。例如，他们可以调整布局布线的策略，或优化时序约束，以改善关键路径的时序、优化芯片面积或降低功耗。这种基于真实 EDA 工具的设计 - 验证 - 优化闭环，有效培养了学生的工程思维和解决复杂问题的创新能力。

（四）版图查看编辑工具 Klayout

Klayout 是一款集成电路版图查看与编辑的开源 EDA 工具。其主要功能包括版图查看、验证和编辑，支持 GDSII、OASIS 等多种标准版图数据格式，能够高效处理大规模集成电路版图文件。除了基础查看，工具内置设计规则检查（DRC）和版图与电路图对比（LVS）功能。用户可通过内嵌的脚本语言自定义验证规则，适应特定工艺要求。在数字集成电路课程实践中，学生可以直观查看如 RISC-V 处理器的版图结果，分析时钟树结构和布局密度。其开源特性使学生能够深入探索版图设计规则验证的实际操作，将抽象的电路原理与具体的几何实现联系起来，有效培养了学生的版图设计思维和工程实践能力。

二、实践教学流程和案例

本课程基于上述开源工具链，以能力输出为导向，以学生为中心、教师为辅助、项目实践为驱动，着重培养学生的工程项目能力。在内容上，基于开源数字集成电路设计工具链打造了一组实践教学资源，从理论基础、课程实验、课程设计等三个层次，为理论教学提供相配套的实践素材，为有能力的学生提供可扩展的创新实践平台。在教学方法上，形成以开源 RISC-V 软处理器实现课程理论与实验无缝连接的一套理论教学方法。在实验环节通过 FPGA 开发平台构建测试平台，实现代码验证实时反馈闭环来改善教学效果。从功能仿真到后端版图设计，均由上述开源工具链覆盖设计流程。

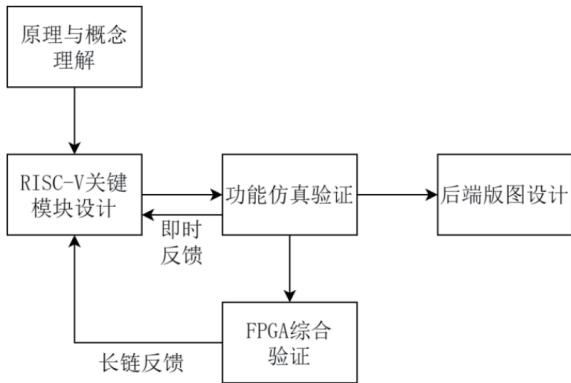


图1 数字集成电路原理与实验的教学流程

目前经过两年的课程建设,已经形成一套完整的实验手册。以RISC-V内核ibex的后端设计为例,通过在课程实验中完成微处理器内核的综合设计,得到版图结果。其中ibex是一个2级流水线32位RISC-V指令集内核。实验过程采用开源软件OpenROAD提供的完整设计脚本,在130nm的工艺库sky130hd进行综合、布局、布线。最终可以得到版图输出,如图2所示,学生可以在版图视图中,查看时钟树、布局密度热力图等,并根据分析结果,针对时序、面积等参数进行迭代优化设计。

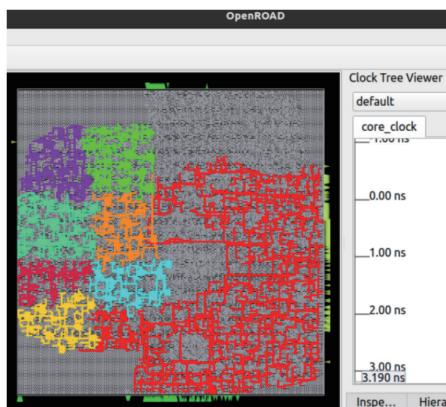


图2 RISC-V微处理器在OppenROAD工具中的时钟树版图

三、结语

本文探索了开源EDA工具在数字集成电路课程实践中的应用,构建了一套以Icarus Verilog、Yosys、OpenROAD和Klayout为核心的开源工具链,形成了覆盖从RTL仿真到GDSII版图生成的全流程教学方案。通过将开源工具链与RISC-V微处理器项目实践相结合,有效解决了传统教学中对商用软件依赖性强、实践环节透明度不足的问题。在教学方法上,我们构建了以学生为中心、项目驱动的实践体系,实现了理论教学与实验操作的无缝衔接。该方案不仅降低了教学成本,更重要的是通过完整工具链使学生能够深入理解数字集成电路设计的底层原理和完整流程。未来,课程团队将持续优化开源工具链的易用性和稳定性,深化产教融合,将更多产业需求融入教学实践,为培养适应国家集成电路产业发展战略的高素质创新人才提供可推广的范式。

参考文献

- [1] 张鸿.从打造数字经济新优势到促进数字经济发展[J].现代制造,2022,(03):38.
- [2] 王宛秋,姚雨非,邵海拓,等.产业政策促进了半导体企业的创新发展吗?J].科学学研究,2023,41(01):58-69.DOI:10.16192/j.cnki.1003-2053.20220313.001.
- [3] 许小燕.成都“芯火”基地共“创”成渝技术协同和产业升级[J].产城,2023,(05):54-55.
- [4] 王J.读友,“产教融合”背景下EDA技术在高校教学中的应用模式探索[J].(5) (2025).
- [5] 雷艳静,曹迪,秦娥,等.基于EDA技术的数字电路虚拟仿真实验教学探究[J].中国信息技术教育,2025(12):97-101. DOI:10.3969/j.issn.1674-2117.2025.12.028.
- [6] Q. Chen, N. Zhang, J. Wang, T. Tan, C. Xu, X. Ma, Y.J.P.o.t.A.o.P.L. Li, The essence of Verilog: a tractable and tested operational semantics for Verilog, 7(OOPSLA2023) 234-263.
- [7] N. Jafarof, K.B.J.I.W.o.R.S.P. Kent, Enhancing the VTR Flow: Integration of ABC9 via Yosys for Better Technology Mapping and Optimization, (2024) 56-62.